

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention applies to manufacture of a flat-panel display, concerning the manufacture method of a field emission type cathode array, and is suitable.

[0002]

[Description of the Prior Art] As the manufacture method of a flat-panel display using the field emission type cathode array by the microchip of the size of micron order, the thing as shown in drawing 2 A - drawing 2 E is known.

[0003] This SiO<sub>2</sub> as shown in drawing 2 A, after forming the diacid-ized silicon (SiO<sub>2</sub>) film 102 by for example, the oxidizing [ thermally ] method, CVD, or the sputtering method on the conductive silicon (Si) substrate 101 first according to this manufacture method The metal membrane 103 for gate electrode formation of a molybdenum (Mo) film, a niobium (Nb) film, etc. is formed by for example, the sputtering method or the electron-beam-evaporation method on a film 102. Then, the resist pattern 104 of the configuration corresponding to the gate electrode which should be formed on this metal membrane 103 is formed with lithography.

[0004] Next, by \*\*\*\*\*ing a metal membrane 103 by the wet etching method or the dry etching method by using this resist pattern 104 as a mask, as shown in drawing 2 B, the gate electrode 105 is formed. Then, it is SiO<sub>2</sub>, using the resist pattern 104 and the gate electrode 105 as a mask. A film 102 is \*\*\*\*\*ed by the wet etching method or the dry etching method, and cavity 102a is formed.

[0005] Next, after removing the resist pattern 104, as shown in drawing 2 C, the stratum disjunctum 106 which consists of aluminum (aluminum) and nickel (nickel) is formed on the gate electrode 105 by performing slanting vacuum evaporatio by the electron-beam-evaporation method from the direction which carried out the predetermined angle inclination to the substrate front face. Then, the vacuum evaporatio of the Mo is carried out from a perpendicular direction by the electron-beam-evaporation method as a material for cathode formation to a substrate front face. Of this, the cathode (emitter) 107 which consists of a microchip is formed on the Si substrate 101 inside cavity 102a. A sign 108 shows the metal membrane by which vacuum evaporatio was carried out on stratum disjunctum 106.

[0006] Next, stratum disjunctum 106 is removed by the lift-off method with the metal membrane 108 formed on it, and it considers as the state which shows in drawing 2 D. Then, it closes, making the thing in which the fluorescent substance 110 was formed on the glass plate 109 used as a scope counter with the Si substrate 101 in which the above-mentioned cathode array was formed as this fluorescent substance 110 came inside, and maintaining the space between them at a vacuum, as shown in drawing 2 E. Thus, the target flat-panel display is completed. At the time of operation of this flat-panel display, about [ -50V ] negative voltage is impressed to each cathode 107.

[0007]

[Problem(s) to be Solved by the Invention] In the manufacture method of the above-mentioned conventional flat-panel display, it is very difficult to arrange all the radius of curvatures at the nose of cam of the cathode [ a large number (for example, tens of thousands of pieces) ] 107 simultaneously formed of a vacuum deposition, and is hard to avoid that slight dispersion arises in the radius of curvature at the nose of cam of these cathodes 107.

[0008] On the other hand, as shown in drawing 3, generally there is fixed correlation between the radius of curvature at the nose of cam of a cathode, and the permission applied voltage to this cathode. It sets to drawing 3 and is  $V_{min}$ . It is the minimum voltage (absolute value) on which current radiation can be made to perform, and is  $V_{max}$ . It is the maximum voltage (absolute value) on which current radiation can be made to perform, without producing electric discharge. The voltage on which current radiation can be made to perform becomes large as the radius of curvature at the nose of cam of a cathode becomes large so that drawing 3 may show. For this reason, when only one cathode with the radius of curvature at a nose of cam smaller than other things existed, for example in the inside of tens of thousands of cathodes and negative voltage is gradually impressed to these cathodes, current radiation begins only from a cathode with the radius of curvature at this nose of cam smaller than other things. And when current radiation begins from other cathodes, permission applied voltage is exceeded, it discharges, a nose of cam becomes round, and the cathode has the problem that current radiation will stop.

[0009] Although the method of preparing resistance between each cathode and a power supply, and making it the radiation beyond fixed current not occur is also proposed in order to solve such a problem, this method is seen in manufacture process and has the problem of being very difficult.

[0010] Therefore, the purpose of this invention is to offer the manufacture method of the field emission type cathode array which can moreover arrange easily the radius of curvature at the nose of cam of all the cathodes that constitute a cathode array in a high precision.

[0011]

[Means for Solving the Problem] In the manufacture method of a field emission type cathode array that the cathode (4) of plurality [ invention / this / top / substrate (1) / conductive ] was formed in order to attain the above-mentioned purpose After forming two or more cathodes (4), positive voltage is impressed to two or more cathodes (4). It is made to make this voltage increase from the voltage in which electric-field evaporation does not occur among two or more cathodes (4) from the nose of cam of what has the smallest radius of curvature at a nose of cam gradually at least to the voltage which electric-field evaporation starts among two or more cathodes (4) from the nose of cam of what has the largest radius of curvature at a nose of cam.

[0012]

[Function] If predetermined voltage is impressed to these cathodes when the radius of curvature at the nose of cam of two or more cathodes which constitute a cathode array has not gathered according to the manufacture method of the field emission type cathode array this invention constituted as mentioned above, electric-field evaporation will take place from the nose of cam of a cathode with the smallest radius of curvature at a nose of cam first. That is, the atom of the front face at the nose of cam of this cathode is removed as ion. By this electric-field evaporation, the radius of curvature at the nose of cam of this cathode becomes large gradually. And if the radius of curvature at the nose of cam of this cathode is in agreement with the radius of curvature of a cathode with the radius of curvature at a nose of cam small next, electric-field evaporation will begin to occur from these cathodes.

[0013] Thus, electric-field evaporation occurs one by one from a cathode with the small radius of curvature at a nose of cam, and the radius of curvature at the nose of cam of all the cathodes that constitute a cathode array becomes the same after fixed time progress. Moreover by this, the radius of curvature at the nose of cam of all the cathodes that constitute a cathode array can be easily arranged in a high precision. And equalization of the current radiation from each cathode can be attained.

[0014]

[Example] Hereafter, it explains, referring to a drawing about one example of this invention. Drawing 1 A - drawing 1 C is the cross section showing the manufacture method of the flat-panel display by one example of this invention.

[0015]  $SiO_2$  which has cavity 2a on the conductive Si substrate 1 in this example like the manufacture method of the conventional flat-panel display shown in drawing 2 A - drawing 2 E as shown in drawing 1 A The cathode 4 which consists of an insulator layer 2 like a film, the gate electrode 3, and a microchip is formed.

[0016] Among the cathodes 4 of a large number formed by doing in this way now, among drawing 2 A, the radius of curvature at the nose of cam of the cathode of others [ radius of curvature / of the nose of cam of a central cathode ] is  $200A$ , and it considers as what has the radius of curvature at a nose of cam smaller than the cathode

of others / cathode / central ] by 180A.

[0017] The voltage V polar [ opposite to the voltage (negative voltage) impressed to a cathode 4 at the time of operation of a flat-panel display ], i.e., positive, is impressed, and this voltage V is made to increase to the conductive Si substrate 1 first connected with all the cathodes 4 electrically gradually in this example from 0V to the voltage according to the radius of curvature at the nose of cam of a central cathode, 500V [ for example, ]. In addition, the voltage impression means for impressing this voltage V is suitably built in a flat-panel display.

[0018] If the positive voltage V is gradually impressed to a cathode array as mentioned above, electric-field evaporation begins to occur preferentially among drawing 2 A from the nose of cam of the cathode of the center where the radius of curvature at a nose of cam is smaller than other things, and the radius of curvature at the nose of cam becomes large gradually with this electric-field evaporation. And as shown in drawing 2 B, the radius of curvature at the nose of cam of the cathode of this center becomes the same as that of the radius of curvature at the nose of cam of other cathodes. That is, the radius of curvature at the nose of cam of all the cathodes 4 is equal to 200A. Then, if voltage V is made to increase to 600V, electric-field evaporation will begin to occur [ come ] from all the cathodes 4. Then, impression of voltage V is stopped at this time.

[0019] Then, it closes, making the thing in which the fluorescent substance 6 was formed on the glass plate 5 used as a scope counter with the Si substrate 1 in which the above-mentioned cathode array was formed as this fluorescent substance 6 came inside, and maintaining the space between them at a vacuum, as shown in drawing 2 C. The target flat-panel display is completed by this.

[0020] In addition, although the above is the case where only what [ one ] has the small radius of curvature at a nose of cam exists in the inside of many cathodes 4, when [ all ] the radius of curvature at the nose of cam of the cathode which constitutes a cathode array has not gathered, it is possible to apply the same technique. When voltage V is impressed to the cathode array like \*\*\*\* also in this case, electric-field evaporation will begin to occur one by one from a cathode with the small radius of curvature at a nose of cam, and, finally the radius of curvature at the nose of cam of all cathodes will gather.

[0021] As mentioned above, since it is made to make electric-field evaporation start from the cathode 4 with the small radius of curvature at a nose of cam preferentially by impressing the positive voltage V to a cathode array according to this example, moreover, the radius of curvature at the nose of cam of all the cathodes 4 that constitute a cathode array can be easily arranged in a high precision. By this, the heterogeneity of the brightness of a flat-panel display can be abolished and a quality flat-panel display can be realized.

[0022] Furthermore, since the positive voltage V is impressed to each cathode 4 and it is made to make electric-field evaporation cause, the pollutant adhering to the front face of this cathode 4 is removable. This can be made to perform good current radiation from a cathode 4.

[0023] As mentioned above, although one example of this invention was explained, this invention is not limited to an above-mentioned example, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0024] For example, it does not pass over each numeric value stated in the above-mentioned example for a mere example, and these numeric values cannot be overemphasized by that it can change if needed. Moreover, the cathode array of the flat-panel display by the above-mentioned example can also be formed by different method from what was stated in the above-mentioned example. Furthermore, a cathode array may be the thing of different structure from an above-mentioned example.

[0025] moreover, an insulating-substrate top like [ although the Si substrate 1 is used as a substrate of a flat-panel display in the above-mentioned example ] a glass substrate or a ceramic substrate possible [ using various kinds of conductive substrates other than Si substrate 1 ] -- a conductor like a metal membrane -- it is also possible to use the whole surface or the thing formed alternatively for a film

[0026]

[Effect of the Invention] As explained above, according to this invention, positive voltage is impressed to two or more cathodes. This voltage from the voltage in which electric-field evaporation does not occur among two or more cathodes from the nose of cam of what has the smallest radius of curvature at a nose of cam Since it is made to make it increase gradually to the voltage which electric-field evaporation starts among two or more cathodes at least from the nose of cam of what has the largest radius of curvature at a nose of cam, moreover,

the radius of curvature at the nose of cam of all the cathodes that constitute a cathode array can be easily arranged in a high precision. And when manufacturing a flat-panel display, for example, equalization of the brightness of a display can be attained.

---

[Translation done.]

## SEMICONDUCTOR CHIP MODULE AND MANUFACTURE THEREOF

Patent Number: JP3094459  
Publication date: 1991-04-19  
Inventor(s): TANAKA MASATO; others: 01  
Applicant(s): SHINKO ELECTRIC IND CO LTD  
Requested Patent: ■ JP3094459  
Application Number: JP19890231132 19890906  
Priority Number(s):  
IPC Classification: H01L23/50; H01L21/60  
EC Classification:  
Equivalents: JP2840316B2

### Abstract

**PURPOSE:** To realize a high-density mounting operation by a method wherein a semiconductor chip is sealed in a sealing resin for a semiconductor chip module and a bonding part is exposed to an outer face of the sealing resin so as to be continued to the semiconductor chip.

**CONSTITUTION:** A semiconductor chip 10 is die-bonded onto a metal base 12; the semiconductor chip 10 and the metal base 12 are wirebonded by an ordinary wire bonding method. Then, one side, on which the semiconductor chip 10 has been bonded, of the metal base 12 is resin-sealed including the semiconductor chip 10, bonding wires 20 and the like; after that, the metal base 12 is etched. Thereby, in a state that a resist pattern 24 has been removed, a metal part 12a bonded to the rear surface of the semiconductor chip 10 and terminal parts 12b continued to individual bonding parts 18 are exposed at an outer face of a sealing resin 22. Thereby, a high-density mounting operation can be realized.

Data supplied from the esp@cenet database - 12

## SEMICONDUCTOR CHIP MODULE AND MANUFACTURE THEREOF

Patent Number: JP3094459  
Publication date: 1991-04-19  
Inventor(s): TANAKA MASATO; others: 01  
Applicant(s): SHINKO ELECTRIC IND CO LTD  
Requested Patent: ☒ JP3094459  
Application Number: JP19890231132 19890906  
Priority Number(s):  
IPC Classification: H01L23/50; H01L21/60  
EC Classification:  
Equivalents: JP2840316B2

---

### Abstract

---

**PURPOSE:** To realize a high-density mounting operation by a method wherein a semiconductor chip is sealed in a sealing resin for a semiconductor chip module and a bonding part is exposed to an outer face of the sealing resin so as to be continued to the semiconductor chip.

**CONSTITUTION:** A semiconductor chip 10 is die-bonded onto a metal base 12; the semiconductor chip 10 and the metal base 12 are wirebonded by an ordinary wire bonding method. Then, one side, on which the semiconductor chip 10 has been bonded, of the metal base 12 is resin-sealed including the semiconductor chip 10, bonding wires 20 and the like; after that, the metal base 12 is etched. Thereby, in a state that a resist pattern 24 has been removed, a metal part 12a bonded to the rear surface of the semiconductor chip 10 and terminal parts 12b continued to individual bonding parts 18 are exposed at an outer face of a sealing resin 22. Thereby, a high-density mounting operation can be realized.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-94459

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月19日

H 01 L 23/50  
21/60

3 0 1 R  
A

9054-5F  
6918-5F

審査請求 未請求 請求項の数 6 (全6頁)

⑮ 発明の名称 半導体チップモジュール及びその製造方法

⑯ 特 願 平1-231132

⑰ 出 願 平1(1989)9月6日

⑱ 発 明 者 田 中 正 人 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内

⑲ 発 明 者 深 瀬 克 哉 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内

⑳ 出 願 人 新光電気工業株式会社 長野県長野市大字栗田字舍利田711番地

㉑ 代 理 人 弁理士 綿貫 隆夫 外1名

明 細 書

1. 発明の名称

半導体チップモジュール及びその製造方法

2. 特許請求の範囲

1. ダイボンディング部に半導体チップが接合され、

ダイボンディング部の周囲に設けられたボンディング部と前記半導体チップとがワイヤボンディングによって接続され、

前記ボンディング部の一部を外部に露出させて、ダイボンディング部の半導体チップを搭載する一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止されたことを特徴とする半導体チップモジュール。

2. ボンディング部の露出部分に外部接続用のパンプが形成された請求項1記載の半導体チップモジュール。

3. 金属ベース上に半導体チップを接合し、

該半導体チップと金属ベース上に設けたボ

ンディング部とをワイヤボンディングによって接続し、

前記金属ベースの半導体チップを搭載した一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、

金属ベースの露出面に前記ボンディング部のパターンに対応するレジストパターンを設けて金属ベースをエッチングすることにより、ボンディング部に接合する端子部を形成することを特徴とする半導体チップモジュールの製造方法。

4. 金属ベース上に金めっき層等の非エッチング金属層によりダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、

金属ベースの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、

前記金属ベースのみをエッチング除去することと特徴とする半導体チップモジュールの製造方法。

5. 電気的絶縁性を有するベースフィルム上に剥離可能に金属層が設けられた転写フィルムの金属層をエッチングしてダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して、半導体チップとボンディング部とをワイヤボンディングによって接続し、

前記転写フィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、

前記ベースフィルムを封止樹脂から剥離除去することと特徴とする半導体チップモジュールの製造方法。

6. 電気的絶縁性を有するベースフィルム上にダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、

前記ベースフィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、

ベースフィルムをエッチングして、ボンディング部を露出させることを特徴とする半導体チップモジュールの製造方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は回路基板に実装して用いる半導体チップモジュールおよびその製造方法に関する。

#### (従来技術)

半導体チップを回路基板に実装する搭載方法には、パッケージ方式とベアチップ方式があり、半導体チップの接続方法にはワイヤボンディング方式とバンプ方式がある。

前記のパッケージ方式は、半導体チップをパッ

ケージに収納してパッケージごと回路基板に実装するもので、ベアチップ方式は、回路基板にベアチップを搭載し、ワイヤボンディング方式により接続するかあるいはバンプ方式によって接続搭載するものである。

バンプ方式では、半導体チップにあらかじめ接続用のバンプを形成しておき、半導体チップを加圧、加熱して回路基板に接続する(フリップチップ法)。半導体チップを搭載した後は、接続部分、露出部分を樹脂によって封止する。

このフリップチップ法の場合は、半導体チップの面積内で接続できるから、パッケージ方式とくらべて実装密度を高めることができ、接続にボンディングワイヤを用いないからボンディングワイヤが交錯したりすることがない等の利点がある。  
(発明が解決しようとする課題)

しかしながら、上記のフリップチップ法による場合は半導体チップ上に接続用のバンプをつくる必要があり半導体チップの製造コストが高くなること、実装用の基板に接続する際に半導体チップ

を加圧、加熱するため熱応力疲労によって半導体チップのパッド等の接続部が劣化しやすいこと、ベアチップの状態では回路基板に接続されるから耐環境性が劣るといった問題点がある。

そこで、本発明は上記問題点を解消すべくされたものであり、その目的とするところは、回路基板に対して上記フリップチップ法と同程度の高密度実装ができ、耐環境性に優れるとともに、取り扱いも容易な半導体チップモジュールおよびその製造方法を提供しようとするものである。

#### (課題を解決するための手段)

本発明は上記目的を達成するため次の構成をそなえる。

すなわち、ダイボンディング部上に半導体チップが接合され、ダイボンディング部の周囲に設けられたボンディング部と前記半導体チップとがワイヤボンディングによって接続され、前記ボンディング部の一部を外部に露出させて、ダイボンディング部の半導体チップを搭載する一方の面側が、半導体チップ、ボンディングワイヤ、ボンディン



グ部を含めて樹脂封止されたことを特徴とする。また、前記ボンディング部の露出部分に外部接続用のパッドが形成されたことを特徴とする。また、その製造方法としては、金属ベース上に半導体チップを接合し、該半導体チップと金属ベース上に設けたボンディング部とをワイヤボンディングによって接続し、前記金属ベースの半導体チップを搭載した一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、金属ベースの露出面に前記ボンディング部のパターンに対応するレジストパターンを設けて金属ベースをエッチングすることにより、ボンディング部に接合する端子部を形成することを特徴とし、また、金属ベース上に金めっき層等の非エッチング金属層によりダイボンディング部およびボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、金属ベースの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボン

ディング部を含めて樹脂封止し、前記金属ベースのみをエッチング除去することを特徴とし、また、電気的絶縁性を有するベースフィルム上に剥離可能に金属層が設けられた転写フィルムの金属層をエッチングしてダイボンディング部およびボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して、半導体チップとボンディング部とをワイヤボンディングによって接続し、前記転写フィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、前記ベースフィルムを封止樹脂から剥離除去することを特徴とし、また、電気的絶縁性を有するベースフィルム上にダイボンディング部およびボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、前記ベースフィルムの半導体チップが搭載された一方の面側を、半導体チップ、ボンディングワイヤ、ボンディング部を含めて樹脂封止し、ベースフィルムを

エッチングして、ボンディング部を露出させることを特徴とする。

#### (作用)

半導体チップモジュールは半導体チップが封止樹脂中に封止されると共に、ボンディング部が半導体チップと導通をとって封止樹脂の外面に露出する。これにより、ボンディング部を回路基板等への接続部として実装する。

#### (実施例)

以下本発明の好適な実施例を添付図面に基づいて詳細に説明する。

#### 【第1実施例】

第1図(a)、(b)は本発明に係る半導体チップモジュールの製造方法の一実施例を示す説明図である。

この実施例では半導体チップを金属ベースに接合して半導体チップモジュールを作成する。

製造方法としては、まず、半導体チップ10を金属ベース12上にダイボンディングする。半導体チップ10の接合方法としては金-シリコン共晶合金による方法あるいはダイボンディングペー

ストを用いる方法等がある。

次に、半導体チップ10と金属ベース12との間を通常のワイヤボンディング法によってワイヤボンディングする。16は半導体チップ10上に設けたパッド、18は金属ベース12に設けたボンディング部である。金属ベース12のボンディング部18にはあらかじめ平滑処理、金めっき等の表面処理を施して確実なボンディングができるようにする。20はボンディングワイヤである。

次に、金属ベース12の半導体チップ10が接合された片面側を、半導体チップ10、ボンディングワイヤ20等を含めて樹脂封止する。22は封止樹脂である。

次に、金属ベース12の露出面上にレジストパターン24を設け、金属ベース12をエッチングによって除去する。レジストパターン24は半導体チップ10と金属ベース12との接合部及び前記ボンディング部18がエッチング後に残るように設ける。

金属ベース12をエッチングし、レジストパタ

ーン24を除去した状態で、封止樹脂22の外面に半導体チップ10の下面に接合する金属部12aと各ボンディング部18に導通する端子部12bが露出する。回路基板等に接続して用いる場合は端子部12bにパンプ26を設ける(第1図(b))。パンプ26を形成する方法としては、はんだめっきする方法、導電性ペーストを印刷、塗布する方法、導電性接着剤を塗布する方法などが使用できる。

こうして、半導体チップ10が樹脂封止され、封止樹脂の外面に外部接続用の端子部が設けられた半導体チップモジュールが得られる。

この金属ベースを用いる製造方法では、電解銅箔を金属ベース12として好適に用いることができる。電解銅箔はその表面が複雑な凹凸が形成された粗面に形成されるから、この表面を封止樹脂22側にして樹脂封止することにより、表面の凹凸によるアンカー効果によって封止樹脂と強固に接合するという利点がある。この場合、ボンディング部18にはあらかじめ平滑処理および金め

き等を施してボンディングが確実になされるようにする。

金属ベース12をエッチング除去して、最終的に金属部12a、端子部12bを形成する方法としては、第2図に示す方法も有効である。

すなわち、まず金属ベース12にレジストパターン13を形成して金めっきを施し(第2図(a))、レジストパターン13を除去することによって金属ベース12上に金めっき層15を形成する(第2図(b))。金めっき層15は半導体チップ10を接合するダイボンディング部と前記ボンディング部18の配置にしたがって設ける。

次に、ダイボンディング部に半導体チップ10を接合し、半導体チップ10とボンディング部18とをワイヤボンディングした後、上記と同様に樹脂封止する。樹脂封止後、金属ベース12全体をエッチングによって除去する。金めっき層15はエッチングされないから、エッチング後は金めっき層が封止樹脂22の外面に残る。ボンディング部18に接続用のパンプを形成する場合は上記

例と同様にすればよい。

第2図に示す製造方法においては、金属ベース12をエッチングによって除去するから金属ベースとしてはエッチングによって溶解除去しやすい金属、たとえば銅等を用いる。また、金めっき層はエッチングによって除去されないものとして用いているが、金のかわりに銀等のエッチングされにくい材料を用いてもよい。

半導体チップモジュールは第1図(b)に示すように、回路基板28に位置合わせして加圧、加熱して実装する。

なお、このようにパンプ26によって回路基板に接続する他、第3図に示すようにコネクタを用いて接続してもよい。この場合はパンプ26を形成せず、コネクタとの接点部に保護用の表面処理を施しておく。第3図で30はコネクタ、32はコネクタの接点部である。

11は半導体チップの熱放散性を向上させるために金属部12aに接合して設けた放熱フィンである。

上記の半導体チップモジュールは樹脂によって完全に封止されており、封止樹脂外面に外部接続用の端子部が形成されているから、取り扱いがきわめて簡易で、かつ実装が容易になっている。

#### 〔第2実施例〕

第4図(a)、(b)は半導体チップモジュールの他の製造方法を示す説明図である。

この実施例では上記の金属ベース12のかわりに転写フィルムを用いることを特徴とする。

すなわち、転写フィルム38は金属層34、剥離層35、ベースフィルム36とから成るもので、まず、金属層34をエッチングしてダイボンディング部34aおよびボンディング部34bを形成する。

次に、半導体チップ10をダイボンディング部34aに接合し、半導体チップ10上のパッド16とボンディング部34aとをワイヤボンディングする。

次に、転写フィルム38の半導体チップ10が接合された片面側を樹脂封止する(第4図(b))。

次に、転写フィルム38を封止樹脂22から剥離する。転写フィルム38は剥離層35から容易に剥離されて、封止樹脂22側にダイボンディング部34a、ボンディング部34bが残る。

ボンディング部34bにパンプ26を形成して、上記例と同様な半導体チップモジュールが得られる(第4図(b))。

なお、転写フィルム38としてはベースフィルム36に電解銅箔を接合したものが好適に用いられる。電解銅箔は前記第1実施例で説明したとおり、表面に複雑な凹凸が形成されたものであって、封止樹脂22と接合する側をこの粗面側にする事により封止樹脂22と強固に接合して転写フィルムの特性を効果的に発揮することができる。ボンディング部34bにはあらかじめ平滑処理および金めっきを施してボンディングが確実になされるようにしておくことよい。

#### 〔第3実施例〕

第5図はさらに他の製造方法としてFPC(Flexible printed circuit)を用いた例である。

いることにより、取り扱いがきわめて容易であり、耐環境性に優れることにより信頼性の高い装置が得られる。

- ② 封止樹脂上に外部接続用の端子部を設けているから、従来のフリップチップ法による実装方法と同様な接続方法が可能となり、これによって高密度実装が可能になる。
- ③ 半導体チップ上のパッドが基板に直接接続されず、封止樹脂等が中間に介在するから、これらが緩衝材として作用し、実装した際の接続部に対する応力集中が回避でき接点部を長寿命とすることができる。
- ④ 高度の技術的完成度にあるワイヤボンディング法が利用でき、確実に製造できると共に容易に製造できる。
- ⑤ 半導体チップに放熱体を付設することが容易にでき、半導体チップの熱放散性を向上させることができる。

以上、本発明について好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定される

図で40はFPCのベースフィルムであり、42aはベースフィルム40上に形成したダイボンディング部、42bはボンディング部である。半導体チップ10はダイボンディング部42a上に接合した後、ワイヤボンディングし、ベースフィルム40の片面側を樹脂封止する(第5図(a))。

次いで、ベースフィルム40の所定部位、たとえば外部接続用の端子部等をエッチング除去することによって第5図(b)に示す半導体チップモジュールが得られる。

この実施例で得られた半導体チップモジュールは封止樹脂22の一方の外面が、端子部を除いてベースフィルム40によって被覆されている。端子部はそのまま接点として用いてもいいし、上記例と同じようにパンプを形成してそのまま回路基板に接続できるようにしてもよい。

以上各実施例について説明したが、各実施例の半導体チップモジュールは以下のような特徴を有する。すなわち、

- ① 半導体チップが完全に封止されて保護されて

ものではなく、種々のタイプの半導体チップモジュールに同様に適用できるものであって、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんのことである。

#### (発明の効果)

上述したように、本発明に係る半導体チップモジュールは、半導体チップが完全に樹脂封止されていることにより取り扱いがきわめて容易になり、また、外部接続用の端子部が半導体チップと導通をとって封止樹脂の外面に設けられているから、モジュールをそのまま回路基板に実装することができ、高密度実装を可能とすることができる。また、従来のワイヤボンディング法を利用することによって、確実かつ容易に製造することができる等の著効を奏する。

#### 4. 図面の簡単な説明

第1図は本発明に係る半導体チップモジュールの製造方法についての第1実施例を示す説明図、第2図は第2実施例を示す説明図、第3図は実装状態を示す説明図、第4図および第5図は製造方

法の第2および第3実施例を示す説明図である。

10・・・半導体チップ、 12・・・金属ベース、 15・・・金めっき層、 18・・・ボンディング部、 20・・・ボンディングワイヤ、 22・・・封止樹脂、 24・・・レジストパターン、 26・・・パンプ、 28・・・回路基板、 30・・・コネクタ、 34a・・・ダイボンディング部、 34b・・・ボンディング部、 35・・・剥離層、 36・・・ベースフィルム、 38・・・転写フィルム、 40・・・ベースフィルム。

特許出願人

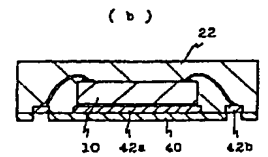
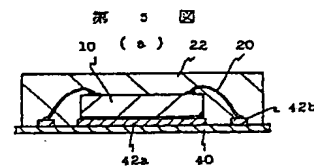
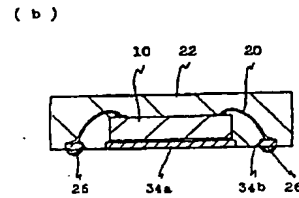
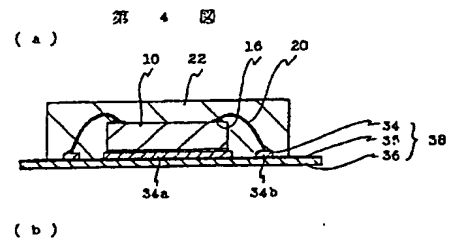
新光電気工業株式会社

代表者 井上貞夫

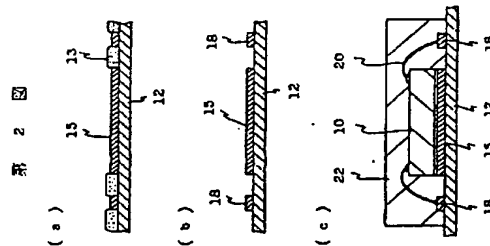
代理人 (7762) 綿貫隆夫

綿貫隆夫

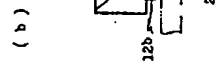
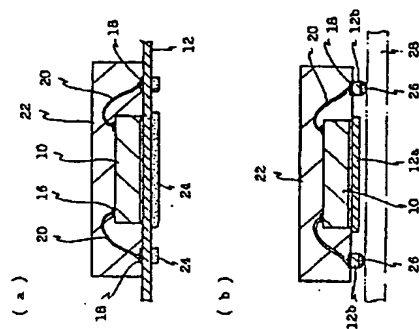
図 面



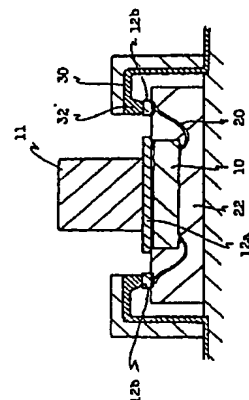
面



第1図



第3図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成9年(1997)6月6日

【公開番号】特開平3-94459

【公開日】平成3年(1991)4月19日

【年通号数】公開特許公報3-945

【出願番号】特願平1-231132

【国際特許分類第6版】

H01L 23/50

21/60 301

【F I】

H01L 23/50 R 7920-4E

21/60 301 A 8824-4E

# 予 知 補 正 書

平成 8 年 8 月 30 日

特許庁長官 尾 井 秀 光 殿

## 1. 事件の表示

平成 01 年 特許願第 231132 号

## 2. 発明の名称

半導体チップモジュール及び  
その製造方法

## 3. 補正をする者

事件との関係 特許出願人

住 所 長野県長野市大字栗田字金田 711 番地  
氏 名 新光電気工業株式会社  
代表者 渡 木 淳 一

## 4. 代理人

住 所 〒 8 8 0  
長野県長野市中御所 8 丁目 1 8 番 9 号  
クリエイションビル 電話 026(228)5388  
氏 名 ( 7 7 6 2 ) 井 堀 士 郎 廣 隆

## 5. 補正命令の日付

日 付

## 6. 補正により増加する請求項の数

## 7. 補正の対象

明細書

## 8. 補正の内容

別紙の通り

## 8. 補正の内容

1) 特許請求の範囲の欄を別紙のように補正する。

2) 明細書第 6 頁第 14 行目～第 9 頁第 2 行目に、

「すなわち、ダイボンディング部上に・・・ボンディング部を露出させることを特徴とする。」

とあるのを次のように補正する。

「すなわち、ダイボンディング部上に半導体チップが接合され、ダイボンディング部の周囲に設けられたボンディング部の一の面と前記半導体チップとがワイヤボンディングによって接続され、前記ボンディング部の他方の面を外部に露出させて、ダイボンディング部の前記半導体チップが露出された側面に半導体チップ、ボンディングワイヤおよびボンディング部が一体に樹脂封止されたことを特徴とする。

また、前記ボンディング部の他方の面の露出部分に外部接続用のパンプが形成されたことを特徴とする。

また、半導体チップモジュールの製造方法として、金属ベース上に半導体チップを接合し、該半導体チップと金属ベース上に設けたボンディング部とをワイヤボンディングによって接続し、前記金属ベースの半導体チップが露出された一方の側面に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、エッチングにより前記ボンディング部に対応する前記金属ベースを外部接続用の端子部に形成することを特徴とする。

また、金属ベース上に金属層によりダイボンディング部およびボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、金属ベースの半導体チップが露出された側面に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、前記金属ベースを除去することを特徴とする。

また、電気的絶縁性を有するベースフィルム上に制限可能な金属層が設けられた転写フィルムの金属層をエッチングしてダイボンディング部およ

びボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して、半導体チップとボンディング部とをワイヤボンディングによって接続し、前記転写フィルムの半導体チップが搭載された面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、前記ベースフィルムを封止樹脂から剝離除去することを特徴とする。

また、電気的絶縁性を有するベースフィルム上に金属層によりダイボンディング部およびボンディング部を形成し、前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部の一方の面とをワイヤボンディングによって接続し、前記ベースフィルムの半導体チップが搭載された面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、前記ベースフィルムをエッチングして、ボンディング部の他方の面を露出させることを特徴とする。」

た転写フィルムの金属層をエッチングしてダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して、半導体チップとボンディング部とをワイヤボンディングによって接続し、

前記転写フィルムの半導体チップが搭載された面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、

前記ベースフィルムを封止樹脂から剝離除去することを特徴とする半導体チップモジュールの製造方法。

5、電気的絶縁性を有するベースフィルム上に金属層によりダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部の一方の面とをワイヤボンディングによって接続し、

前記ベースフィルムの半導体チップが搭載された面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、

前記ベースフィルムをエッチングして、ボンディング部の他方の面を露出させることを特徴とする半導体チップモジュールの製造方法。」

(別紙)

特許請求の範囲

「1、ダイボンディング部上に半導体チップが接合され、

ダイボンディング部の周囲に設けられたボンディング部の一方の面と前記半導体チップとがワイヤボンディングによって接続され、

前記ボンディング部の他方の面を外部に露出させて、ダイボンディング部の前記半導体チップが搭載された面側に半導体チップ、ボンディングワイヤおよびボンディング部が一体に樹脂封止されたことを特徴とする半導体チップモジュール。

2、ボンディング部の他方の面の露出部分に外部接続用のパンプが形成された請求項1記載の半導体チップモジュール。

3、金属ベース上に半導体チップを接合し、

前記半導体チップと金属ベース上に設けたボンディング部とをワイヤボンディングによって接続し、

前記金属ベースの半導体チップが搭載された一方の面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、

エッチングにより前記ボンディング部に対応する前記金属ベースを孔部、接続用の端子部に形成することを特徴とする半導体チップモジュールの製造方法。

4、金属ベース上に金属層によりダイボンディング部およびボンディング部を形成し、

前記ダイボンディング部に半導体チップを接合して半導体チップとボンディング部とをワイヤボンディングによって接続し、

金属ベースの半導体チップが搭載された面側に、半導体チップ、ボンディングワイヤおよびボンディング部を一体に樹脂封止し、

前記金属ベースを除去することを特徴とする半導体チップモジュールの製造方法。

5、電気的絶縁性を有するベースフィルム上に樹脂層に金属層が設けられ